

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2000-307005**  
(43)Date of publication of application : **02.11.2000**

---

(51)Int.CI. **H01L 21/82**  
**H01L 21/3205**  
**H01L 21/60**  
**H01L 27/04**  
**H01L 21/822**  
**H05K 1/02**  
**H05K 1/18**

---

(21)Application number : **11-111074** (71)Applicant : **CANON INC**  
(22)Date of filing : **19.04.1999** (72)Inventor : **TAKEUCHI YASUSHI**

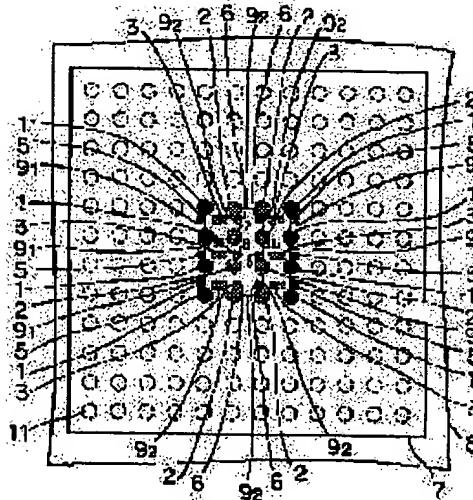
---

## **(54) SEMICONDUCTOR INTEGRATED CIRCUIT, PRINTED WIRING BOARD, AND ELECTRONIC APPARATUS**

### **(57)Abstract:**

**PROBLEM TO BE SOLVED:** To increase the density of a printed wiring board while reducing electromagnetic radiation noise, which is produced when a semiconductor integrated circuit having an array with electrode pads on its bottom is mounted on a printed wiring board.

**SOLUTION:** Ground electrode pads 1 and power electrode pads 2 congregate in the middle of a semiconductor integrated circuit 7 mounted on a printed wiring board 8 in such a manner that they are opposite to each other, and they are connected with wiring patterns 91 and 92. On the reverse side of the printed wiring board 8, decoupling capacitors are mounted in positions near the ground electrode pads 1 and power electrode pads 2, where the electrodes are connected to their respective electrode pads via through holes.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-307005  
(P2000-307005A)

(43) 公開日 平成12年11月2日 (2000.11.2)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	マーク(参考)
H 01 L 21/82		H 01 L 21/82	P 5 E 3 3 6
21/3205		H 05 K 1/02	P 5 E 3 3 8
21/60		1/18	L 5 F 0 3 3
27/04		H 01 L 21/88	T 5 F 0 3 8
21/822		21/92	6 0 2 P 5 F 0 6 4
審査請求 未請求 請求項の数 7 O L (全 7 頁) 最終頁に続く			

(21) 出願番号	特願平11-111074	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成11年4月19日 (1999.4.19)	(72) 発明者	竹内 靖 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(74) 代理人	100088328 弁理士 金田暢之 (外2名)

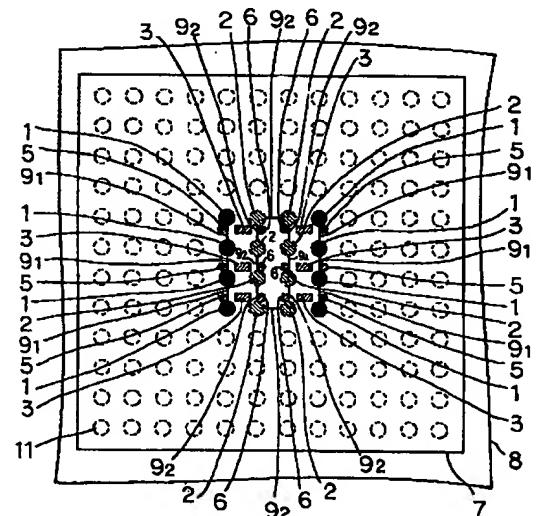
最終頁に続く

(54) 【発明の名称】 半導体集積回路およびプリント配線基板ならびに電子機器

(57) 【要約】

【課題】 複数のアレイ状の電極パッドを底面に有する半導体集積回路をプリント配線基板に実装した場合の電磁波放射ノイズを低減させ、プリント配線基板の高密度化を図る。

【解決手段】 グランド用電極パッド1と電源用電極パッド2は、プリント配線基板8に実装された半導体集積回路7の中央部に集中して互いに対向するように配列され、かつ、配線パターン9<sub>1</sub>と9<sub>2</sub>によって接続されている。プリント配線基板8の反対面には、グランド用電極パッド1と電源用電極パッド2に至近に対応する位置に、電極がスルーホールを介してそれらの電極パッドに接続されたデカップリング・コンデンサが実装されている。



1: グランド用電極パッド  
2: 電源用電極パッド  
3: デカップリング・コンデンサ  
5: グランド接続用スルーホール  
6: 電源接続用スルーホール  
7: 半導体集積回路  
8: プリント配線基板  
91, 92: 接続用電極パッド  
11: 接続用電極パッド

**【特許請求の範囲】**

**【請求項1】** 底面にアレイ状に配置された複数の接続用電極パッドを有する半導体集積回路において、前記接続用電極パッドのうち、接地電位に接続するための複数のグランド電極パッドと、電源を供給するための複数の電源電極パッドとが中央部に集中して配置されたことを特徴とする半導体集積回路。

**【請求項2】** 少なくとも各々2個以上の前記グランド電極パッドと電源電極パッドとが、個々に対向して配置されている請求項1に記載の半導体集積回路。

**【請求項3】** 前記複数のグランド電極パッドおよび前記複数の電源電極パッドが中抜け部を形成するように配置されている請求項1または2に記載の半導体集積回路。

**【請求項4】** 前記複数のグランド電極パッドおよび前記複数の電源電極パッドがそれぞれ配線により相互に接続されている請求項1ないし3のいずれか一に記載の半導体集積回路。

**【請求項5】** 前記複数のグランド電極パッドおよび前記複数の電源電極パッドが一定のパターンに基づいて接続されている請求項4に記載の半導体集積回路。

**【請求項6】** 底面にアレイ状に配置された複数の接続用電極パッドを有する半導体集積回路を実装したプリント配線基板において、

前記半導体集積回路として請求項1ないし5のいずれか一に記載の半導体集積回路が用いられ、

前記半導体集積回路を実装した面の反対側の面に、前記対向して配置されたグランド電極パッドおよび電源電極パッドに至近に対応する位置に実装され、かつその電極がスルーホールを介して前記グランド用電極パッドおよび電源用電極パッドにそれぞれ接続されたデカップリング・コンデンサを有することを特徴とするプリント配線基板。

**【請求項7】** 請求項6に記載のプリント配線基板を搭載したことを特徴とする電子機器。

**【発明の詳細な説明】**

**【0001】**

**【産業上の利用分野】** 本発明は、底面にアレイ状に配置された複数の電極パッドを有する半導体集積回路 (I C) およびこの半導体集積回路を実装したプリント配線基板ならびにこのプリント配線基板を搭載した電子機器に関し、特に、底面に複数の接続用電極パッドを有する半導体集積回路における電極パッドの配置に関する。

**【0002】**

**【従来の技術】** 近年、半導体集積回路における回路規模がますます大きくなっている。半導体集積回路の回路規模が大きくなるにつれて集積回路と外部回路との接続に必要なピン数も増大し、そのためその底面にアレイ状に配置された複数の電極パッドを有する I C パッケージが開発されてきた。半導体集積回路であるから、底面

のアレイ状に配置された電極パッドの中には、この半導体集積回路に電源を供給するための電源用電極パッドと、この半導体集積回路を外部回路側の接地電位 (グランド) に接続するためのグランド用パッドが含まれる。従来、底面にアレイ状に複数の電極パッドが設けられた半導体集積回路では、電源用電極パッドやグランド用電極パッドの配置は、半導体集積回路の回路設計の容易性や出力信号用の出力バッファの許容電流値等を考慮して決定されており、電源用電極パッドとグランド用電極パッドの位置関係については特に考慮されてこなかった。

**【0003】**

**【発明が解決しようとする課題】** 上述した従来のアレイ状の電極パッドを有する半導体集積回路をプリント配線基板に実装した場合、半導体集積回路の電源用電極パッドおよびグランド用電極パッドの位置が半導体集積回路側の都合だけで予め決められているため、プリント配線基板側の配線パターンの配置によっては、プリント配線基板に配置されるデカップリング・コンデンサの位置が半導体集積回路の電源用電極パッドやグランド用電極パッドから遠くなったり、他の配線パターンとの幾何学的配置で干渉するために個々の電源用電極パッド及びグランド用電極パッドに対してそれぞれデカップリング・コンデンサを配置することが困難になったりする。

**【0004】** このため、最近の C P U やマイクロプロセッサに代表されるように半導体集積回路の動作周波数の高速化が著しく進む中では、これらのアレイ状電極パッドを有する半導体集積回路を実装したプリント配線基板やそれらを搭載した電子機器からの電磁波放射ノイズが増大し、各国で規制されている不要輻射ノイズの規格を取得できなくなるという問題が発生している。

**【0005】** 本発明の目的は、複数のアレイ状の電極パッドを底面に有する半導体集積回路において、こうした半導体集積回路をプリント配線基板に実装した場合に、デカップリング・コンデンサを効果的に配置できるようなアレイ状電極パッドの配置を有する半導体集積回路と、この半導体集積回路を実装したプリント配線基板と、このプリント配線基板を搭載した電子機器とを提供し、プリント配線基板やそれを搭載した電子機器からの電磁波放射ノイズを低減させることにある。

**【0006】**

**【課題を解決するための手段】** 本発明の半導体集積回路は、底面にアレイ状に配置された複数の接続用電極パッドを有する半導体集積回路において、接地電位に接続するための複数のグランド電極パッドと、電源を供給するための複数の電源電極パッドとが中央部に集中して配置されている。

**【0007】** 少なくとも各々2個以上のグランド電極パッドと電源電極パッドとが、個々に対向して配置されているものを含む。

**【0008】** 複数のグランド電極パッドおよび複数の電

源電極パッドが中抜け部を形成するように配置されているものを含む。

【0009】複数のグランド電極パッドおよび複数の電源電極パッドがそれぞれ配線により相互に接続されているものを含む。

【0010】複数のグランド電極パッドおよび複数の電源電極パッドが一定のパターンに基づいて接続されているものを含む。

【0011】本発明のプリント配線基板は、底面にアレイ状に配置された複数の接続用電極パッドを有する半導体集積回路を実装したプリント配線基板において、半導体集積回路として本発明の半導体集積回路が用いられ、半導体集積回路を実装した面の反対側の面に、対向して配置されたグランド電極パッドおよび電源電極パッドに至近に対応する位置に実装され、かつその電極がスルーホールを介してグランド用電極パッドおよび電源用電極パッドにそれぞれ接続されたデカップリング・コンデンサを有する。

【0012】本発明の電子機器は、本発明のプリント配線基板を搭載している。

【0013】上述のように構成された本発明の半導体集積回路では、電源用電極パッドとグランド用電極パッドがアレイ状電極パッドの中央部に集中され、また対向して配置されているので、半導体集積回路をプリント配線基板に実装し、電源用電極パッド、グランド用電極パッドからスルーホールを介して直接デカップリング・コンデンサに接続する構造をとることができる。

【0014】したがって、半導体集積回路の電源電極パッド、グランド電極パッドとデカップリング・コンデンサを最短で接続することができ、電源パターン、グランドパターンのインダクタンスが小さくなり、デカップリング・コンデンサの効果を十分引き出すことが可能となり、プリント配線基板やそれを搭載した電子機器からの電磁波放射ノイズが低減される。

#### 【0015】

【発明の実施の形態】(第1の実施形態)図1は本発明の第1の実施形態の半導体集積回路を搭載したプリント配線基板の平面図、図2は図1の縦断面図である。ここで、図1はアレイ状電極パッドを有する半導体集積回路7を搭載したプリント配線基板8を、半導体集積回路7を実装した面から見た状態を示している。

【0016】半導体集積回路7のパッケージの底面10には、半導体集積回路7と外部回路との電気的な接続を行なうための複数の接続用電極パッド11(図1では点線の円で表示)が格子状にフルグリッドで規則正しく配列している。接続用電極パッド11のうち、グランド用電極パッド1(黒の塗りつぶしで表示)は、半導体集積回路7を接地するための接続用電極パッドであり、電源用電極パッド2(斜線で表示)は、半導体集積回路7に電力を供給するための接続用電極パッドである。グラン

ド用電極パッド1と電源用電極パッド2はアレイ状の電極パッドの中央部に集中して配置され、互いに対向するように配列されている。また、グランド用電極パッド1は、2組に分けて配線パターン9<sub>1</sub>によって接続され、電源用電極パッド2は、すべてが配線パターン9<sub>2</sub>によって接続されている。

【0017】一方、プリント配線基板8の半導体集積回路7を実装していない方の面12には、チップ型コンデンサであるデカップリング・コンデンサ3が実装されている。また、デカップリング・コンデンサ3は、グランド用電極パッド1と電源用電極パッド2からプリント配線基板8に投影して見たときに、それぞれの電極パッド1、2のほぼ直下にくるようにプリント配線基板8上に配置されている。このデカップリング・コンデンサ3を半田付けするためにプリント配線基板8に設けられる1対の搭載パッド4は、デカップリング・コンデンサ3の両側に半田フィレットが充分できるように、デカップリング・コンデンサ3の電極の外側まで形成されている。そして、デカップリング・コンデンサ3の両側の搭載パッド4に隣接して、1対の搭載パッド4と半導体集積回路7のグランド用電極パッド1および電源用電極パッド2とをそれぞれ接続するためのグランド接続用スルーホール5および電源接続用スルーホール6が、プリント配線基板8を貫通して形成されている。

【0018】ここで、半導体集積回路7のグランド用電極パッド1と電源用電極パッド2は、半導体集積回路7の中央部に集中されている。したがって、半導体集積回路7のほぼ直下にデカップリング・コンデンサ3、半田付け用の搭載パッド4を配置することができるので、半田付け用パッド4に近接してグランド接続用スルーホール5、電源接続用スルーホール6を配置すれば、半導体集積回路7のグランド用電極パッド1、電源用電極パッド2から、デカップリング・コンデンサ3までを、垂直方向にほぼ直線的にプリント配線基板8の厚さの距離で接続することができる。

【0019】このような構成をとることにより、図2に示されるように、半導体集積回路7のグランド用接続パッド1、電源用接続パッド2から、プリント配線基板8に配置されたデカップリング・コンデンサ3までをグランド接続用スルーホール5、電源接続用スルーホール6を介して最短で電気的に接続することができる。したがって、デカップリング・コンデンサ3から半導体集積回路のグランド用電極パッド1、電源接続用パッド2までの配線パターンのインダクタンスを小さくでき、プリント配線基板8からの電磁波放射ノイズが低減される。

【0020】また同時に、グランド用電極パッド1、電源用電極パッド2が半導体集積回路の中央に集中されているので、その他の信号用電極パッドから周囲の部品への配線の引き出しが容易になり、プリント配線基板の高密度化にも効果がある。

(第2の実施形態) 図3は本発明の第2の実施の形態の半導体集積回路を搭載したプリント配線基板の平面図である。この実施の形態は、図3に示すように、図1および図2の半導体集積回路7の電源用電極パッド2を一番内側に配置し、グランド用電極パッド1を電源用電極パッド2を取り囲むように配置されたものであって、電源用電極パッド2のすべてとグランド用電極パッド1のすべてが、それぞれ配線パターン9<sub>2</sub>と配線パターン9<sub>1</sub>によって接続されている。その他の点については、第1の実施の形態と同じ構成である。

【0021】このような構成においても、第1の実施の形態と同様に、プリント配線基板8からの電磁波放射ノイズが低減され、かつ、信号用電極パッドから周囲の部品への配線の引き出しが容易になり、プリント配線基板の高密度化にも効果がある。

(第3の実施形態) 図4は本発明の第3の実施の形態の半導体集積回路を搭載したプリント配線基板の平面図である。この実施の形態は、第1の実施の形態において、グランド用電極パッド1と電源用電極パッド2が渦巻き(スパイラル)状に対向して配置されたものであって、その他の点については、第1の実施の形態と同じ構成である。

【0022】このような構成においても、第1の実施の形態と同様に、プリント配線基板8からの電磁波放射ノイズが低減され、かつ、信号用電極パッドから周囲の部品への配線の引き出しが容易になり、プリント配線基板の高密度化にも効果がある。

(第4の実施形態) 図5は本発明の第4の実施の形態の半導体集積回路を搭載したプリント配線基板の平面図である。この実施の形態は、半導体集積回路7のアレイ状の電極パッドがペリフェラル(中抜け)状に配置されたものであって、グランド用電極パッド1と電源用電極パッド2は、第1の実施例と同様にお互い対になって対向しており、グランド用電極パッド1と電源用電極パッド2は、それぞれ4組に分けられ配線パターン9<sub>1</sub>と配線パターン9<sub>2</sub>によって接続されている。その他の点については、第1の実施の形態と同じ構成である。

【0023】このような構成においても、第1の実施の形態と同様に、プリント配線基板8からの電磁波放射ノイズが低減され、かつ、プリント配線基板の高密度化にも効果がある。

(第5の実施形態) 図6は本発明の第5の実施の形態としての電子機器を説明する図である。

【0024】図6の電子機器13の中には、図1ないし図5の半導体集積回路7を実装したプリント配線基板8が組み込まれている。

【0025】この実施の形態の電子機器では、半導体集積回路7からの電磁波放射ノイズが少ないので、電子機器13からの電磁波放射ノイズは通常の電子機器の電磁波放射ノイズよりも低減され、かつ、プリント配線基板

8が高密度化に適するので、小型計量で高性能化が可能である。

【0026】以上、本発明の実施の形態について説明してきたが、半導体集積回路の接続用電極パッドの総数やデカップリング・コンデンサは各図に示した数に限定されるものではなく、またグランド用電極パッドと電源用電極パッドの位置が入れ替っても差し支えなく、設計に応じて変更することができる。また、半導体集積回路を実装するプリント配線基板は、2層板に限らず、多層基板を用いることができる。

【0027】

【発明の効果】以上説明したように本発明は、アレイ状の電極パッドを有する半導体集積回路の中央部にグランド接続用電極パッド、電源接続用電極パッドを集中して配置することにより、半導体集積回路をプリント配線基板に実装し、半導体集積回路が実装された面の反対面にデカップリング・コンデンサを配置したとき、グランド用電極パッドおよび電源用電極パッドとデカップリング・コンデンサとの配線距離が最短となって、グランド用配線パターンと電源用配線パターンのインダクタンスが小さくなり、プリント配線基板およびそれを搭載した電子機器からの電磁波放射ノイズが低減され、同時に、半導体集積回路と周辺に配置された部品との配線が高密度に、かつ容易に行なえるので、プリント配線基板の高密度化に寄与し、高性能電子機器の小型軽量化が実現するという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の半導体集積回路を搭載したプリント配線基板の平面図である。

【図2】図1のプリント配線基板の縦断面図である。

【図3】本発明の第2の実施の形態の半導体集積回路を搭載したプリント配線基板の平面図である。

【図4】本発明の第3の実施の形態の半導体集積回路を搭載したプリント配線基板の平面図である。

【図5】本発明の第4の実施の形態の半導体集積回路を搭載したプリント配線基板の平面図である。

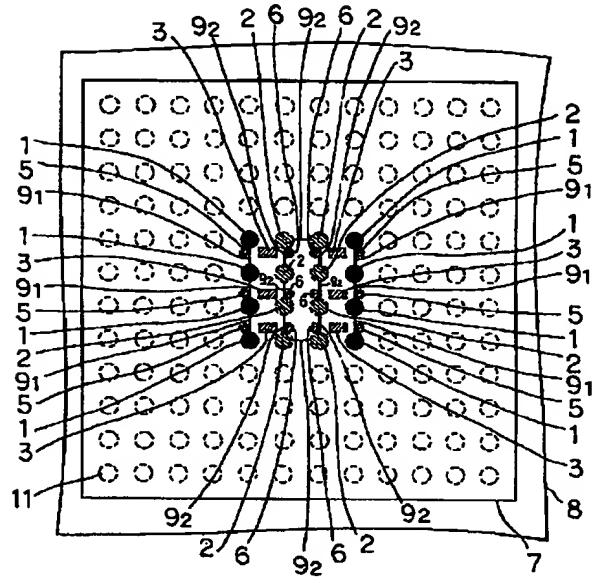
【図6】本発明の第5の実施の形態を説明する図であり、図1ないし図5の半導体集積回路を実装したプリント配線基板が搭載された電子機器の斜視図である。

【符号の説明】

- 1 グランド用電極パッド
- 2 電源用電極パッド
- 3 デカップリング・コンデンサ
- 4 搭載パッド
- 5 グランド接続用スルーホール
- 6 電源接続用スルーホール
- 7 半導体集積回路
- 8 プリント配線基板
- 9<sub>1</sub> 9<sub>2</sub> 配線パターン
- 10 底面

11 接続用電極パッド  
12 面

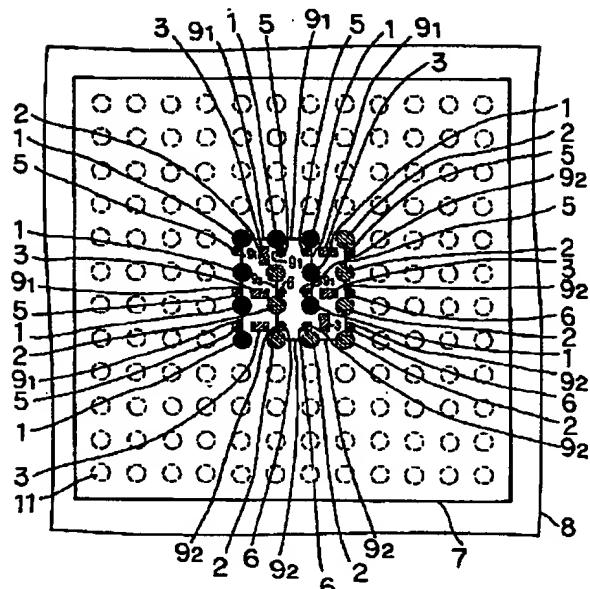
〔図1〕



1: ケランド用電池パッド	8: プリント配線基板
2: 電源用電極パッド	91, 92: 配線パターン
3: デカッピング・コンデンサ	11: 接続用電極パッド
5: ケランド接続用スリーホール	
6: 電極接続用スリーホール	
7: 半導体集積回路	

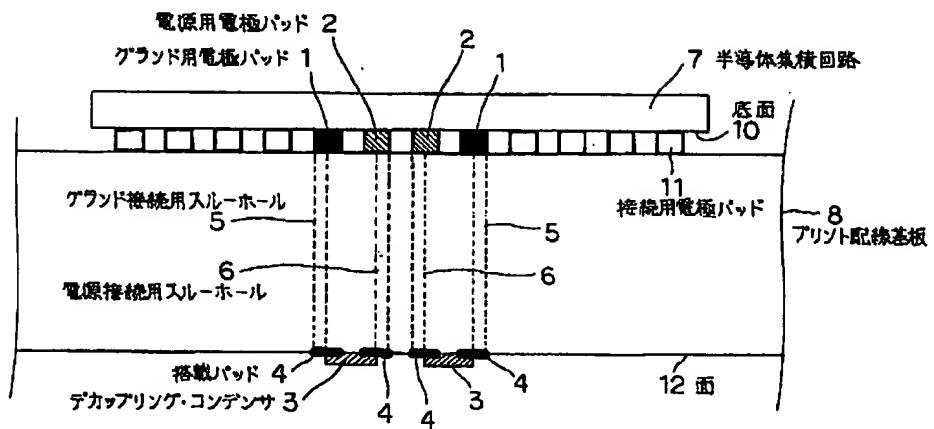
13 電子機器

【图4】

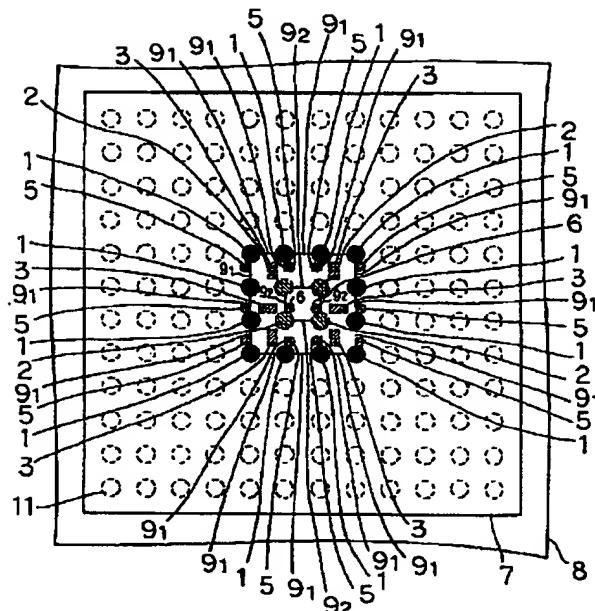


1: グランド用電極パッド	8: プリント配線基板
2: 電源用電極パッド	9,92: 配線パターン
3: デカッピング・コンデンサ	11: 接続用電極パッド
5: グランド接続用スルーホール	
6: 電源接続用スルーホール	
7: 半導体集積回路	

(図2)

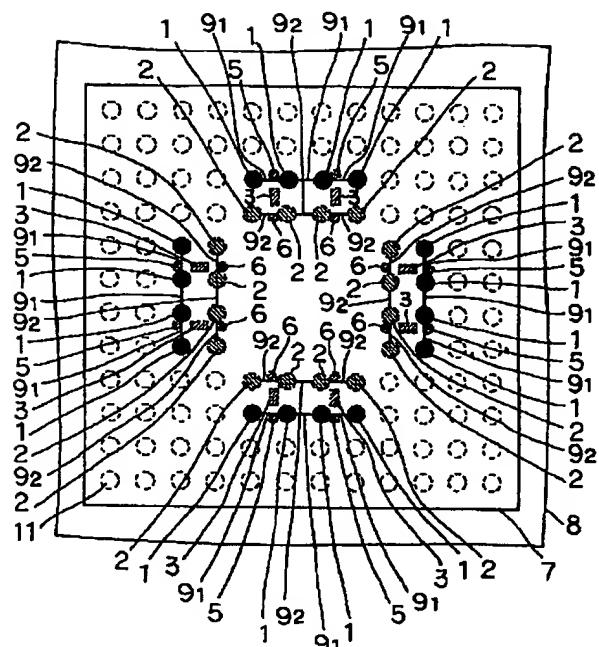


【図3】



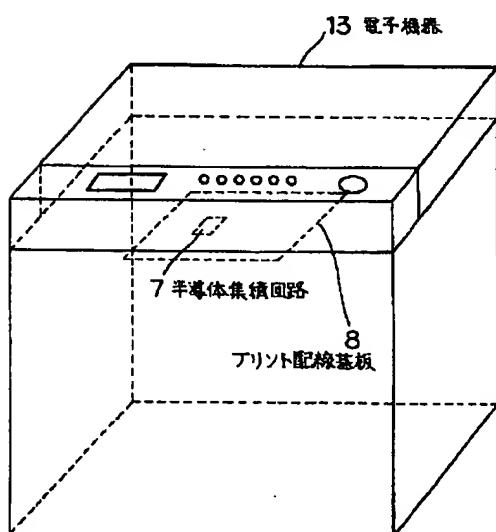
1: グランド用電極パッド	8: プリント配線基板
2: 電源用電極パッド	91, 92: 配線パターン
3: デカップリング・コンデンサ	11: 接続用電極パッド
5: グランド接続用スルーホール	
6: 電源接続用スルーホール	
7: 半導体集積回路	

【図5】



1: グランド用電極パッド	8: プリント配線基板
2: 電源用電極パッド	91, 92: 配線パターン
3: デカップリング・コンデンサ	11: 接続用電極パッド
5: グランド接続用スルーホール	
6: 電源接続用スルーホール	
7: 半導体集積回路	

【図6】



(7) 000-307005 (P2000-30JL8

フロントページの続き

(51) Int.Cl. <sup>7</sup>	識別記号	F I	コード(参考)
H 05 K	1/02	H 01 L	27/04
	1/18		E

F ターム(参考) 5E336 AA04 BB02 BC15 BC34 CC53  
EE01 GG11  
5E338 AA02 CC01 CC04 CC06 CD02  
CD33 EE13 EE23  
5F033 VV04 VV05 VV07  
5F038 AC19 BE07 BE09  
5F064 AA15 AA17 DD43 DD44 EE52